

引 用 文 献

JP 2004-22901 A 2004.1.22

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号

特開2004-22901

(P2004-22901A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int.Cl.⁷H01L 31/12
H01L 25/16
H01L 31/02
H01S 5/022

F 1

H01L 31/12
H01L 25/16
H01S 5/022
H01L 31/02

C

A

B

テーマコード (参考)

5F073
5F088
5F089

審査請求 有 標記項の数 18 O L (全 21 頁)

(21) 出願番号
(22) 出願日特願2002-177489 (P2002-177489)
平成14年6月18日 (2002.6.18)(71) 出願人 0000023G9
セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 1000689037

弁理士 橋邊 隆

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100110364

弁理士 実広 信哉

(72) 発明者 近藤 寛幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム (参考) 5F073 AB17 BA09 CB02 EA14 FA13
5F088 AA01 BA16 BB10 JA03
5F089 AA06 AB03 AB17 AC02 AC24
CA12 FA10

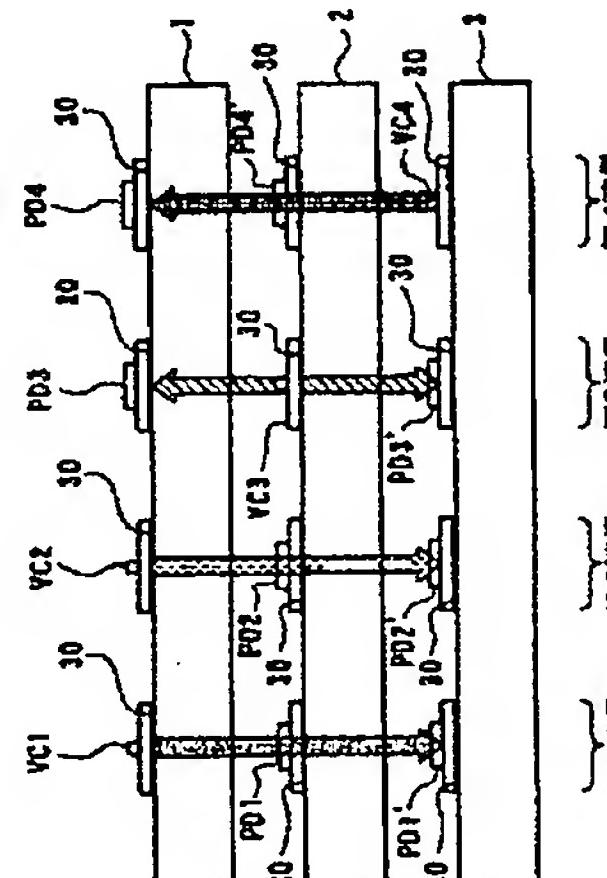
(54) 【発明の名称】光インターフェクション集積回路、光インターフェクション集積回路の製造方法、電気光学装置および電子機器

(57) 【要約】

【課題】集積回路間の信号伝送速度を高速化することができる光インターフェクション集積回路、光インターフェクション集積回路の製造方法、電気光学装置および電子機器を提供する。

【解決手段】複数の集積回路チップ1, 2, 3と、各集積回路チップ1, 2, 3にそれぞれ接着されたものであって微小タイル状素子として形成された発光素子であるVC1, VC2, VC3, VC4と、各集積回路チップ1, 2, 3にそれぞれ接着されたものであって微小タイル状素子として形成されたものであり前記発光素子から出射された光を検出する受光素子であるフォトディオダ PD1, PD1', PD2, PD2', PD3, PD3', PD4, PD4'とを有することを特徴とする。

【選択図】 図1



(2)

JP 2004-22901 A 2004.1.22

【特許請求の範囲】

【請求項 1】

少なくとも2つの集積回路チップと、
前記集積回路チップに、それぞれ少なくとも1つ接着された微小タイル状素子と、
前記微小タイル状素子の少なくとも1つに設けられた発光素子と、
前記微小タイル状素子の少なくとも1つに設けられたものであって前記発光素子から出射
された光を検出する受光素子とを有することを特徴とする光インターフェクション集積回
路。

【請求項 2】

前記微小タイル状素子は、前記集積回路チップにおける所望の位置に接着されていること 10
を特徴とする請求項 1 記載の光インターフェクション集積回路。

【請求項 3】

前記発光素子は、光信号を出射するものであり、
前記受光素子は、前記発光素子から出射された光信号を受信するものであることを特徴と
する請求項 2 記載の光インターフェクション集積回路。

【請求項 4】

前記発光素子は、前記集積回路チップの一つである第1集積回路チップに接着された微小
タイル状素子に設けられたものであり、
前記受光素子は、前記集積回路チップの一つである第2集積回路チップに接着された微小
タイル状素子に設けられたものであることを特徴とする請求項 3 記載の光インターフェク 20
ション集積回路。

【請求項 5】

前記第1集積回路チップは、前記発光素子又は受光素子を少なくとも2つ有し、
前記第2集積回路チップは、前記発光素子又は受光素子を少なくとも2つ有し、
前記第1集積回路チップと第2集積回路チップは、前記発光素子と受光素子からなる少な
くとも2組の信号送受信手段を有することを特徴とする請求項 4 記載の光インターフェク
ション集積回路。

【請求項 6】

前記2組の信号送受信手段は、前記第1集積回路チップと第2集積回路チップ間の双方向
通信手段として機能するものであることを特徴とする請求項 5 記載の光インターフェクシ 30
ョン集積回路。

【請求項 7】

前記少なくとも2組の信号送受信手段は、前記第1集積回路チップと第2集積回路チップ
間において、複数の光信号を並列に伝送する光バスをなすものであることを特徴とする請
求項 6 記載の光インターフェクション集積回路。

【請求項 8】

前記第1集積回路チップの発光素子の発光中心軸と、前記第2集積回路チップの受光素子
の受光中心軸とが略同一直線上に位置するように、該発光素子及び受光素子が配置されて
いることを特徴とする請求項 6 記載の光インターフェクション集積回路。

40

【請求項 9】

前記光バスにおける複数の光信号は、それぞれ波長が異なる光からなることを特徴とする
請求項 7 記載の光インターフェクション集積回路。

【請求項 10】

前記発光素子は、面発光レーザであることを特徴とする請求項 1 乃至 9 のいずれか一項に
記載の光インターフェクション集積回路。

【請求項 11】

前記受光素子は、波長選択性を有することを特徴とする請求項 1 乃至 10 のいずれか一項
に記載の光インターフェクション集積回路。

【請求項 12】

前記発光素子は、波長が1.1マイクロメートル以上の光を出射するものであることを特 50

(3)

JP 2004-22901 A 2004.1.22

徴とする請求項 1 乃至 11 のいずれか一項に記載の光インターフェクション集積回路。

【請求項 13】

前記発光素子から出射された光は、少なくとも 1 つの前記集積回路チップを透過してから前記受光素子に入射することを特徴とする請求項 1 乃至 12 のいずれか一項に記載の光インターフェクション集積回路。

【請求項 14】

前記少なくとも 2 つの集積回路チップは、1 つの集積回路チップの前記発光素子から出射された光を、他の少なくとも 1 つ集積回路チップの少なくとも 1 つの前記受光素子が検出するように、重ねて貼り付けられていることを特徴とする請求項 1 乃至 13 のいずれか一項に記載の光インターフェクション集積回路。 10

【請求項 15】

前記少なくとも 2 つの集積回路チップは、透明性を有する接着剤を介して重ねて貼り付けられていることを特徴とする請求項 14 に記載の光インターフェクション集積回路。

【請求項 16】

前記発光素子の一方面又は前記受光素子の一方面是、非透明部材で被われていることを特徴とする請求項 1 乃至 15 のいずれか一項に記載の光インターフェクション集積回路。

【請求項 17】

少なくとも 2 つの集積回路チップそれぞれの所望位置に、少なくとも 1 つの発光素子又は受光素子をなす微小タイル状素子を透明接着剤で接着し、

1 つの前記集積回路チップに接着された微小タイル状素子の発光素子から出射された光が、他の少なくとも 1 つの前記集積回路チップに接着された微小タイル状素子の受光素子に検出されるように、前記少なくとも 2 つの集積回路チップを透明接着剤で接着して積層することを特徴とする光インターフェクション集積回路の製造方法。 20

【請求項 18】

前記微小タイル状素子は、半導体基板に前記発光素子又は受光素子をなす半導体素子を形成し、該半導体基板における半導体素子が形成された面側にフィルムを貼り付け、該半導体基板における半導体素子を含む機能層を該半導体基板から切り離すことで形成することを特徴とする請求項 17 記載の光インターフェクション集積回路の製造方法。

【請求項 19】

前記集積回路チップへの微小タイル状素子の接着においては、前記透明接着剤を液滴吐出方式で塗布することを特徴とする請求項 17 又は 18 記載の光インターフェクション集積回路の製造方法。 30

【請求項 20】

前記少なくとも 2 つの集積回路チップの接着においては、前記透明接着剤を液滴吐出方式で塗布することを特徴とする請求項 17 乃至 19 のいずれか一項に記載の光インターフェクション集積回路の製造方法。

【請求項 21】

請求項 1 乃至 16 のいずれか一項に記載の光インターフェクション集積回路を備えたことを特徴とする電気光学装置。

【請求項 22】

請求項 1 乃至 16 のいずれか一項に記載の光インターフェクション集積回路を備えたことを特徴とする電子機器。 40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光インターフェクション集積回路、光インターフェクション集積回路の製造方法、電気光学装置および電子機器に関する。

【0002】

【従来の技術】

シリコン半導体基板上に、ガリウム・ヒ素製の面発光レーザ (VCSEL) 、フォトダイ 50

(4)

JP 2004-22901 A 2004.1.22

オード（P D）又は高電子移動度トランジスタ（HEMT）などを設けたり、液晶ディスプレイ（LCD）の各画素の薄膜トランジスタ（TFT）の代わりに微小シリコントランジスタをガラス基板へ貼り付けるというような、半導体素子を材質の異なる基板上に形成する技術が考えられている。

【0003】

このような材質の異なる半導体を有する集積回路としては、オプトエレクトロニクス集積回路（O E I C）が挙げられる。オプトエレクトロニクス集積回路は、光による入出力手段を備えた集積回路である。集積回路内の信号処理は電気信号を用いて行うが、集積回路の外との入出力は光信号を用いて行う。

【0004】

10

【発明が解決しようとする課題】

ところで、コンピュータでは、集積回路の内部構造の微細化により、C P U 内部の動作速度（動作クロック）が年々向上している。しかし、バスにおける信号伝達速度はほぼ限界に達しつつあり、コンピュータの処理速度のボトルネックとなっている。このバスにおける信号伝達を光信号で行うことができれば、コンピュータの処理速度の限界を著しく高めることが可能となる。これを実現するためには、シリコンで作られる集積回路に微小な発光・受光素子を内蔵させる必要がある。

【0005】

しかしながら、シリコンは、間接遷移型半導体であるため発光することができない。そこで、シリコンと、シリコンとは別の半導体発光素子とを組み合わせて集積回路を構成することが必要となる。

20

ここで、半導体発光素子として有望であるものは、ガリウム・ヒ素（G a A s）などの化合物半導体からなる面発光レーザ（V C S E L）である。しかし、面発光レーザは、シリコンと格子整合しないため、エビタキシーなどの半導体プロセスによって直接にシリコン集積回路上に形成することが非常に困難である。

通常、面発光レーザは、ガリウム・ヒ素基板上に形成される。そこで、ガリウム・ヒ素基板上の面発光レーザをチップ化して、このチップを機械的にシリコン集積回路基板に実装することで、電気信号伝達回路と光信号伝達回路を融合する方法が考えられている。

【0006】

30

一方、集積回路が形成される半導体基板の面積を無駄にしないためにも、また、融合後の取扱いのし易さのためにも、集積回路上における面発光レーザ素子のチップサイズは可能な限り小さいことが望ましい。できればモノリシックで集積回路を形成した場合と同じ程度の寸法 = (厚さ数 μ m × 面積數十 μ m角)にしたい。しかし、従来の半導体実装技術では、ハンドリングできるチップサイズが(厚さ數十 μ m × 面積數百 μ m角)以上のサイズとなっている。

【0007】

40

これらに対して、第1の先行文献（雑誌、「エレクトロニクス」、2000年10月号、37頁～40頁）及び第2の先行文献（雑誌、「電子情報通信学会論文誌」、2001/9、V o l . J 8 4 - C . N o 9 ）に記載されている技術がある。これらの先行文献の技術は、先ず、基板を研磨することで除去し、半導体素子となる極表層の機能層（数 μ m）だけを別の保持基板へ転写してハンドリング及びフォトリソグラフィ技術で所望の大きさに整形し、最終基板へ接合するものである。これで、最終基板の所望の位置に目的の半導体素子となる厚さ数 μ mの半導体層（機能層）が形成される。これを通常の半導体プロセスで加工し、電極などを付けて完成させる。

【0008】

50

これら第1及び第2の先行文献の技術の問題点は、半導体基板を研磨によって除去するので、剛体の保持基板が必要になる点である。そのため最終基板への接合を全面一括で行うことが必要となる。つまり、接合する前に最終的に必要となる部分以外の半導体膜を全て除去しておかなければならず、非常に無駄が多くなってしまう。また、接合される部分は機能層にすぎないので、接合後に半導体プロセスを施す必要がある。したがって、目的の

(5)

JP 2004-22901 A 2004.1.22

半導体素子の配置密度があまり大きくない場合などは、最終基板ごと処理することで極めて無駄が多くなる。

【0009】

本発明は、上記事情に鑑みてなされたもので、集積回路間の信号伝送速度を高速化することができる光インターフェクション集積回路、光インターフェクション集積回路の製造方法、電気光学装置および電子機器の提供を目的とする。

【0010】

また、本発明は、高速な信号伝送速度を持つ集積回路を簡易且つコンパクトに低コストで製造することができる光インターフェクション集積回路、光インターフェクション集積回路の製造方法、電気光学装置および電子機器の提供を目的とする。

10

【0011】

【課題を解決するための手段】

上記した目的を達成するために本発明の光インターフェクション集積回路は、少なくとも2つの集積回路チップと、前記集積回路チップにそれぞれ少なくとも1つ接着された微小タイル状素子と、前記微小タイル状素子の少なくとも1つに設けられた発光素子と、前記微小タイル状素子の少なくとも1つに設けられたものであって前記発光素子から出射された光を検出する受光素子とを有することを特徴とする。

本発明によれば、ある集積回路チップに設けられた発光素子から出射された光を他の集積回路チップに設けられた受光素子が検出するので、発光素子を通信信号で駆動することで、集積回路チップ間において光通信信号を送受信することができ、集積回路チップ間の信号伝送速度を高速化することができる。

20

また、送受信手段となる発光素子及び受光素子を微小タイル状素子に設けているので、送受信手段をコンパクトにすることができる、集積回路チップ間で高速に信号を送受信する光インターフェクション集積回路を簡易に且つコンパクトに低コストで製造することができる。

【0012】

また、本発明の光インターフェクション集積回路は、前記微小タイル状素子が前記集積回路チップにおける所望の位置に接着されていることが好ましい。

30

本発明によれば、微小タイル状素子は非常に小さいものであり、その微小タイル状素子は接着により集積回路チップに配置されるので、微小タイル状素子を集積回路チップの周縁部位に限らず、集積回路の中の任意の位置に配置することができる。

【0013】

また、本発明の光インターフェクション集積回路は、前記発光素子が光信号を出射するものであり、前記受光素子が前記発光素子から出射された光信号を受信するものであることが好ましい。

本発明によれば、ある集積回路チップに設けられた発光素子から出射された光信号を他の集積回路チップに設けられた受光素子が検出するので、集積回路チップ間において光信号を送受信することができ、集積回路チップ間の信号伝送速度を高速化することができる。

40

【0014】

また、本発明の光インターフェクション集積回路は、前記発光素子が前記集積回路チップの一つである第1集積回路チップに接着された微小タイル状素子に設けられたものであり、前記受光素子は、前記集積回路チップの一つである第2集積回路チップに接着された微小タイル状素子に設けられたものであることが好ましい。

本発明によれば、第1集積回路チップに接着された微小タイル状素子に設けられた発光素子から出射された光信号を、第2集積回路チップに接着された微小タイル状素子に設けられた受光素子が検出するので、集積回路チップ間において光信号を送受信することができ、集積回路チップ間の信号伝送速度を高速化することができる。

【0015】

また、本発明の光インターフェクション集積回路は、前記第1集積回路チップが前記発光素子又は受光素子を少なくとも2つ有し、前記第2集積回路チップが前記発光素子又は受

50

(6)

JP 2004-22901 A 2004.1.22

光素子を少なくとも2つ有し、前記第1集積回路チップと第2集積回路チップは、前記発光素子と受光素子からなる少なくとも2組の信号送受信手段を有することが好ましい。

本発明によれば、第1集積回路チップに設けられた複数の発光素子又は受光素子と、第2集積回路チップに設けられた複数の発光素子又は受光素子とで、複数組の信号送受信手段を形成することができ、その複数組の信号送受信手段により同時（並列）に信号を送受信することができる光バスを形成することができる。したがって、本発明によれば、集積回路チップ間の信号伝送速度をさらに高速化することができる。

また、本発明によれば、光バスをなす複数の発光素子及び受光素子を微小タイル素子で形成しているので、1つの集積回路チップに設けられた複数の発光素子及び受光素子相互の間隔を極めて狭くすることができ、さらにコンパクトで高速な光インターフェクション集積回路を構成することができる。10

【0016】

また、本発明の光インターフェクション集積回路は、前記2組の信号送受信手段が前記第1集積回路チップと第2集積回路チップ間の双方向通信手段として機能するものであることが好ましい。

本発明によれば、集積回路チップ間において双方向に通信することができる高速でコンパクトな光インターフェクション集積回路を構成することができる。

【0017】

また、本発明の光インターフェクション集積回路は、前記少なくとも2組の信号送受信手段が、前記第1集積回路チップと第2集積回路チップ間において、複数の光信号を並列に伝送する光バスをなすものであることが好ましい。20

本発明によれば、集積回路チップ間における高速でコンパクトな信号伝送手段となる光バスを有する光インターフェクション集積回路を構成することができる。

【0018】

また、本発明の光インターフェクション集積回路は、前記第1集積回路チップの発光素子の発光中心軸と、前記第2集積回路チップの受光素子の受光中心軸とが略同一直線上に位置するように、該発光素子及び受光素子が配置されていることが好ましい。

本発明によれば、第1集積回路チップの発光素子から出射された光が第2集積回路チップの受光素子に入射することとなるので、集積回路チップ間において光信号を良好に送受信することができ、集積回路チップ間の信号伝送速度を高速化することができる。30

【0019】

また、本発明の光インターフェクション集積回路は、前記光バスにおける複数の光信号がそれぞれ波長が異なる光からなることが好ましい。

本発明によれば、光バスにおける複数の光信号がそれぞれ波長が異なる光を用いているので、発光素子と受光素子を1組とした複数組の光信号送受信手段を極めて接近して配置しても、迷光などによる混信を防ぐことが可能となり、さらに光インターフェクション集積回路をコンパクトにすることができます。

【0020】

また、本発明の光インターフェクション集積回路は、前記発光素子が面発光レーザであることが好ましい。40

本発明によれば、面発光レーザにより、さらに通信速度を高速化することができるとともに、多層構造に積層した複数の集積回路チップを透過するレーザ光の出射手段（送信手段）を容易に形成することができる。

【0021】

また、本発明の光インターフェクション集積回路は、前記受光素子が波長選択性を有することが好ましい。

本発明によれば、波長選択性を有する受光素子（フォトディテクタ）を用いることで、迷光などによる混信をさらに高度に防ぐことが可能となり、さらに光インターフェクション集積回路をコンパクト化することができる。

【0022】

50

(7)

JP 2004-22901 A 2004.1.22

また、本発明の光インターフェクション集積回路は、前記発光素子が波長1.1マイクロメートル以上の光を出射するものであることが好ましい。

本発明によれば、集積回路チップをシリコン半導体で形成した場合に、そのシリコン半導体を発光素子から出射された光が透過することができるので、複数の集積回路チップを積層構造に重ねて、集積回路チップを透過する光信号を用いて各集積回路チップ間において良好に信号伝送することができる。

【0023】

また、本発明の光インターフェクション集積回路は、前記発光素子から出射された光が少なくとも1つの前記集積回路チップを透過してから前記受光素子に入射することができる。
10

本発明によれば、複数枚の集積回路チップが重ね合わせられて積層構造が形成されたときに、集積回路チップを透過する光によって各集積回路間で通信することができるので、コンパクトで高速な光インターフェクション集積回路を簡易に構成することができる。

【0024】

また、本発明の光インターフェクション集積回路は、前記少なくとも2つの集積回路チップが、1つの集積回路チップの前記発光素子から出射された光を、他の少なくとも1つ集積回路チップの少なくとも1つの前記受光素子が検出するように、重ねて貼り付けられていることが好ましい。

本発明によれば、光信号によって各集積回路間で通信することができるので、コンパクトで高速な光インターフェクション集積回路を簡易に構成することができる。
20

【0025】

また、本発明の光インターフェクション集積回路は、前記少なくとも2つの集積回路チップが透明性を有する接着剤を介して重ねて貼り付けられていることが好ましい。

本発明によれば、各集積回路間の通信に用いられる光信号が透明性を有する接着剤を介して伝送されるので、空気などを介して伝送するよりも伝送経路の媒体の屈折率を集積回路チップの屈折率にそろえることが可能となり、光信号の良好な伝送をすることが可能となる。

【0026】

また、本発明の光インターフェクション集積回路は、前記発光素子の一方面又は前記受光素子の一方面が非透明部材で被われていることが好ましい。
30

本発明によれば、光通信における迷光を非透明部材で吸収することができるため、良好な光通信をすることができる。

【0027】

また、本発明の光インターフェクション集積回路の製造方法は、少なくとも2つの集積回路チップそれぞれの所望位置に、少なくとも1つの発光素子又は受光素子をなす微小タイル状素子を透明接着剤で接着し、1つの前記集積回路チップに接着された微小タイル状素子の発光素子から出射された光が、他の少なくとも1つの前記集積回路チップに接着された微小タイル状素子の受光素子に検出されるように、前記少なくとも2つの集積回路チップを透明接着剤で接着して積層する。

本発明によれば、微小タイル状素子を集積回路チップの周縁部位に限らず、集積回路の中の任意の位置に配置して、積層構造に重ねて貼り付けられた各集積回路チップ間で光通信をすることができるので、コンパクトな構成で集積回路チップ間の信号伝送速度を高速化できる光インターフェクション集積回路を構成することができる。
40

【0028】

また、本発明の光インターフェクション集積回路の製造方法は、前記微小タイル状素子について、半導体基板に前記発光素子又は受光素子をなす半導体素子を形成し、該半導体基板における半導体素子が形成された面側にフィルムを貼り付け、該半導体基板における半導体素子を含む機能層を該半導体基板から切り離すことで形成することが好ましい。

本発明によれば、微小タイル形状に切り離された半導体素子（微小タイル状素子）を、任意の物体に接合して集積回路を形成することができる。ここで、半導体素子は化合物
50

(8)

JP 2004-22901 A 2004.1.22

半導体でもシリコン半導体でもよく、半導体素子が接合される物体はシリコン半導体基板でも化合物半導体基板でもその他の物質でもよい。そこで、本発明によれば、シリコン半導体基板（集積回路チップ）上に、ガリウム・ヒ素製の面発光レーザ又はフォトダイオードなどを形成するというように、半導体素子を当該半導体素子とは材質の異なる基板（集積回路チップ）上に形成することが可能となる。また、半導体基板上で半導体素子を完成させてから微小タイル形状に切り離すので、集積回路を作成する前に、予め半導体素子をテストして選別することが可能となる。

また、本発明によれば、半導体素子を含む機能層のみを、微小タイル状素子として半導体基板から切り取り、フィルムにマウントしてハンドリングすることができる所以、半導体素子（微小タイル状素子）を個別に選択して最終基板（集積回路チップ）に接合できるとともに、ハンドリングできる半導体素子のサイズを従来の実装技術のものよりも小さくすることができ、高精度に配置することができる。10

【0029】

また、本発明の光インターフェクション集積回路の製造方法は、前記集積回路チップへの微小タイル状素子の接着において、前記透明接着剤を液滴吐出方式で塗布することが好ましい。

本発明によれば、透明接着剤をなす材料の量を軽減でき、設計変更などにも容易に対応でき、製造コストを低減することができる。

【0030】

また、本発明の光インターフェクション集積回路の製造方法は、前記少なくとも2つの集積回路チップの接着において、前記透明接着剤を液滴吐出方式で塗布することが好ましい。20

本発明によれば、透明接着剤をなす材料の量を軽減でき、設計変更などにも容易に対応でき、製造コストを低減することができる。

【0031】

本発明の電気光学装置は、前記光インターフェクション集積回路を備えたことを特徴とする。

本発明によれば、高速な信号伝送手段をもって、表示状態を高速に変化させることができるコンパクトな電気光学装置を提供することができる。

【0032】

本発明の電子機器は、前記光インターフェクション集積回路を備えたことを特徴とする。

本発明によれば、高速な信号伝送手段をもって、高速に信号処理することができるコンパクトな電気光学装置を提供することができる。30

【0033】

【発明の実施の形態】

以下、本発明に係る光インターフェクション集積回路について、図面を参照して説明する。

図1は本発明の実施形態に係る光インターフェクション集積回路の概略断面図である。本光インターフェクション集積回路は、3つの集積回路チップ（シリコン半導体基板）1, 2, 3を、樹脂などの透明な接着剤（図示せず）を挟んで重ね合わせて積層した構造を有している。集積回路チップ1, 2, 3は、シリコン半導体基板に集積回路（LSIなど）を形成したものである。また、集積回路チップ1, 2, 3は、ガラス基板に薄膜トランジスタ（TFT）などを形成したものでもよい。40

【0034】

集積回路チップ1の上面には、2つの面発光レーザVC1, VC2と、2つのフォトディテクタPD3, PD4とが所望の位置に接着されている。すなわち、集積回路チップ1の上面における周縁部位に限らず、集積回路の中の任意の位置に面発光レーザVC1, VC2及びフォトディテクタPD3, PD4を配置する。

【0035】

ここで、面発光レーザVC1, VC2及びフォトディテクタPD3, PD4は、それぞれ

50

(9)

JP 2004-22901 A 2004.1.22

微小タイル状素子として形成されたものである。微小タイル状素子とは、微小なタイル形状（板形状）の半導体デバイスであり、例えば、厚さ $1\text{ }\mu\text{m}$ から $20\text{ }\mu\text{m}$ 、縦横の大きさ数十 μm から数百 μm の板状部材である。微小タイル状素子の製造方法については、後で詳細に説明する。

面発光レーザVC1, VC2及びフォトディテクタPD3, PD4それぞれの間隔は、非常に小さくすることができ、例えば、当該間隔としては数 μm とすることもできる。また、各微小タイル状素子は、透明性を有する接着材30で集積回路チップ1の上面に接着されている。接着剤30としては例えば樹脂を用いる。

【0036】

集積回路チップ2の上面には、1つの面発光レーザVC3と、3つのフォトディテクタPD1, PD2, PD4' とが接着されている。ここで、面発光レーザVC3及びフォトディテクタPD1, PD2, PD4' は、それぞれ微小タイル状素子として形成されたものである。それらの各微小タイル状素子は、透明性を有する接着材30で集積回路チップ2の上面に接着されている。

10

【0037】

集積回路チップ3の上面には、1つの面発光レーザVC4と、3つのフォトディテクタPD1', PD2', PD3' とが接着されている。ここで、面発光レーザVC4及びフォトディテクタPD1', PD2', PD3' は、それぞれ微小タイル状素子として形成されたものである。それらの各微小タイル状素子は、透明性を有する接着材30で集積回路チップ3の上面に接着されている。

20

【0038】

接着剤30は、インクジェットノズル（図示せず）から接着材30を含む液滴を吐出して集積回路チップ1, 2, 3上に塗布する液滴吐出方式で設けることが好ましい。これにより、接着剤30などの量を軽減でき、設計変更などにも容易に対応でき、製造コストを低減することができる。

【0039】

また、集積回路チップ1, 2, 3を接着剤で重ね合わせるときも、その接着剤を液滴吐出方式で塗布することが好ましい。これにより、接着剤などの量を軽減でき、設計変更などにも容易に対応でき、製造コストを低減することができる。

30

【0040】

そして、面発光レーザVC1の発光中心軸に対向するように、2つのフォトディテクタPD1, PD1' が配置されている。また、面発光レーザVC2の発光中心軸に対向するように、2つのフォトディテクタPD2, PD2' が配置されている。また、面発光レーザVC3の発光中心軸に対向するように、2つのフォトディテクタPD3, PD3' が配置されている。また、面発光レーザVC4の発光中心軸に対向するように2つのフォトディテクタPD4, PD4' が配置されている。

望ましくは、各々の面発光レーザVCの発光中心軸上に、各々の面発光レーザに対向して配置される2つのフォトディテクタPD, PD' の受光中心軸がくるように、面発光レーザVCとフォトディテクタPD, PD' を配置するのがよい。

40

【0041】

面発光レーザVC1は第1波長のレーザ光を出射し、面発光レーザVC2は第2波長のレーザ光を出射し、面発光レーザVC3は第3波長のレーザ光を出射し、面発光レーザVC4は第4波長のレーザ光を出射する。ここで、第1乃至第4波長は、例えば、集積回路チップ1, 2, 3をシリコン半導体基板で形成した場合は $1.1\text{ }\mu\text{m}$ 以上とする。これにより、面発光レーザVC1, VC2, VC3, VC4から出射されたレーザ光は、集積回路チップ1, 2, 3を透過することが可能となる。例えば、第1波長を $1.20\text{ }\mu\text{m}$ 、第2波長を $1.22\text{ }\mu\text{m}$ 、第3波長を $1.24\text{ }\mu\text{m}$ 、第4波長を $1.26\text{ }\mu\text{m}$ とする。

波長が $1.1\text{ }\mu\text{m}$ 以下の光でもガラス基板であれば透過することができる。そこで、集積回路チップ1, 2, 3をガラス基板を用いて形成した場合は、第1乃至第4波長を $1.1\text{ }\mu\text{m}$ 以下にすることもできる。例えば、第1波長を $0.79\text{ }\mu\text{m}$ 、第2波長を $0.81\text{ }\mu\text{m}$

50

(10)

JP 2004-22901 A 2004.1.22

■、第3波長を0.83μm、第4波長を0.85μmとする。

【0042】

各フォトディテクタPD1, PD1', PD2, PD2', PD3, PD3', PD4, PD4'は、波長選択性を有することが好ましい。例えば、フォトディテクタPD1, PD1'は第1波長の光のみを検出し、フォトディテクタPD2, PD2'は第2波長の光のみを検出し、フォトディテクタPD3, PD3'は第3波長の光のみを検出し、フォトディテクタPD4, PD4'は第4波長の光のみを検出するものとする。また、各フォトディテクタPD1, PD1', PD2, PD2', PD3, PD3', PD4, PD4'の上面又は下面に波長選択性を有する薄膜などを設けて、波長選択性を有する受光素子としてもよい。フォトディテクタPD1, PD1', PD2, PD2', PD3, PD3', PD4, PD4'としては、例えば、フォトダイオードなどを用いる。

10

【0043】

また、面発光レーザVC1, VC2及びフォトディテクタPD3, PD4の上面は、非透明部材で被われていることが好ましい。また、フォトディテクタPD1', PD2', PD3'及び面発光レーザVC4の下面是、非透明部材で被われていることが好ましい。これにより、迷光によるノイズを抑えることができる。

【0044】

上記構成により、面発光レーザVC1から下方に出射された第1波長のレーザ光は、面発光レーザVC1と集積回路チップ1間の接着剤30、集積回路チップ1及び、集積回路チップ1と集積回路チップ2間の接着剤を透過してフォトディテクタPD1に入射し、さらに、フォトディテクタPD1、フォトディテクタPD1と集積回路チップ2間の接着剤30、集積回路チップ2、及び、集積回路チップ2と集積回路チップ3間の接着剤を透過してフォトディテクタPD1'に入射する。

20

【0045】

また、面発光レーザVC2から下方に出射された第2波長のレーザ光は、面発光レーザVC2と集積回路チップ1間の接着剤30、集積回路チップ1及び集積回路チップ1と集積回路チップ2間の接着剤を透過してフォトディテクタPD2に入射し、さらに、フォトディテクタPD2、フォトディテクタPD2と集積回路チップ2間の接着剤30、集積回路チップ2、及び、集積回路チップ2と集積回路チップ3間の接着剤を透過してフォトディテクタPD2'に入射する。

30

【0046】

また、面発光レーザVC3から上方に出射された第3波長のレーザ光は、集積回路チップ2と集積回路チップ1間の接着剤、集積回路チップ1、及び、集積回路チップ1とフォトディテクタPD3間の接着剤30を透過してフォトディテクタPD3に入射する。面発光レーザVC3から下方に出射された第3波長のレーザ光は、面発光レーザVC3と集積回路チップ2間の接着剤30、集積回路チップ2、及び、集積回路チップ2と集積回路チップ3間の接着剤を透過してフォトディテクタPD3'に入射する。

【0047】

また、面発光レーザVC4から上方に出射された第4波長のレーザ光は、集積回路チップ3と集積回路チップ2間の接着剤、集積回路チップ2、及び、集積回路チップ2とフォトディテクタPD4'間の接着剤30を透過してフォトディテクタPD4'に入射し、さらに、フォトディテクタPD4'、集積回路チップ2と集積回路チップ1間の接着剤、集積回路チップ1、及び、集積回路チップ1とフォトディテクタPD4間の接着剤30を透過してフォトディテクタPD4に入射する。

40

【0048】

したがって、面発光レーザVC1から第1波長のレーザ光として出力された光信号は、フォトディテクタPD1, PD1'に略同時に受信される。また、面発光レーザVC2から第2波長のレーザ光として出力された光信号は、フォトディテクタPD2, PD2'に略同時に受信される。また、面発光レーザVC3から第3波長のレーザ光として出力された光信号は、フォトディテクタPD3, PD3'に略同時に受信される。また、面発光レー

50

(11)

JP 2004-22901 A 2004.1.22

ザVC4から第4波長のレーザ光として出力された光信号は、フォトディテクタPD4、PD4'に略同時に受信される。

【0049】

そこで、集積回路チップ1、集積回路チップ2及び集積回路チップ3の相互間では、第1～第4波長の4つの光信号を同時に並列に送受信して双方向通信を行うことができる。換言すれば、上記面発光レーザVC1、VC2、VC3、VC4及びフォトディテクタPD1、PD2、PD3、PD4、PD1'、PD2'、PD3'、PD4'が光バスの信号送受信手段となり、第1～第4波長の4つの光信号が光バスの伝送信号となる。

【0050】

これらにより、本実施形態の光インターフェクション集積回路は、3つの集積回路チップ1、2、3の相互間において複数の光信号を並列に送受信する光バスを有するので、集積回路チップ間の信号伝送速度を高速化することができ、金属配線を用いて電気信号を送受信する場合に生ずる以下の問題点

10

- 1) 配線間の信号伝達タイミングのズレ（スキー）
- 2) 高周波信号の伝送時に大きな電力が必要となる
- 3) 配線レイアウトについて自由度が制限され設計が困難となる
- 4) インピーダンスマッチングが必要となる
- 5) アースノイズ、電磁誘導ノイズなどの対策が必要となる

に対処することができる。

【0051】

20

さらに、本実施形態の光インターフェクション集積回路は、発光素子及び受光素子に微小タイル状素子を用いているので、複数の発光素子及び受光素子相互の間隔を極めて狭く配置することができ、装置をコンパクト化することができる。

【0052】

さらにまた、本実施形態の光インターフェクション集積回路は、光バスの通信信号となる複数のレーザ光をそれぞれ異なる波長にしているので、発光素子と受光素子を1組とした複数組の光信号送受信手段を極めて近接して配置しても迷光などによる混信を防ぐことが可能となり、さらに装置をコンパクト化することができる。

【0053】

30

さらにまた、本実施形態の光インターフェクション集積回路は、発光素子として面発光レーザを用いているので、さらに通信速度を高速化することができるとともに、多層構造に積層した複数の集積回路チップを透過するレーザ光の出射手段（送信手段）を容易に形成することができる。

【0054】

さらにまた、本実施形態の光インターフェクション集積回路は、波長選択性を有する受光素子（フォトディテクタ）を用いることで、迷光などによる混信をさらに防ぐことが可能となり、さらに装置をコンパクト化することができる。

【0055】

40

次に、光インターフェクション集積回路の一般的な動作について図2を参照して説明する。図2は、図1に示す光インターフェクション集積回路の一部と等価となる光インターフェクション集積回路の概略断面図である。本光インターフェクション集積回路は、2つの（複数の）集積回路チップ（シリコン半導体基板）10、20を、樹脂などの透明な接着剤（図示せず）を挟んで重ね合わせて積層した構造を有している。集積回路チップ10は集積回路領域11を有しており、集積回路チップ10の上面にはフォトディテクタPD10と面発光レーザVC10が透明な接着剤30を介して接着されている。また、集積回路チップ20は集積回路領域21を有しており、集積回路チップ20の上面には面発光レーザVC20とフォトディテクタPD20が透明な接着剤30を介して接着されている。集積回路領域11、21には、CPU、メモリ又はASICなどをなす各種集積回路が形成されている。

【0056】

50

(12)

JP 2004-22901 A 2004.1.22

このような構成において、集積回路チップ10の集積回路領域11で電気的に処理された信号は、面発光レーザVC10でレーザ光パルス信号に変換され、集積回路チップ20のフォトディテクタPD20へ送られる。フォトディテクタPD20は、受信したレーザ光パルス信号を電気信号に変換して集積回路領域21へ送る。また、集積回路チップ20の集積回路領域21で電気的に処理された信号は、面発光レーザVC20でレーザ光パルス信号に変換され、集積回路チップ10のフォトディテクタPD10へ送られる。フォトディテクタPD10は、受信したレーザ光パルス信号を電気信号に変換して集積回路領域11へ送る。

このようにして、集積回路チップ10と集積回路チップ20は、レーザ光パルスを介して双方向に信号の伝送を行う。

10

【0057】

(微小タイル状素子の製造方法)

次に、上記微小タイル状素子の製造方法について図3乃至図12を参照して説明する。本製造方法では、微小タイル状素子としての化合物半導体デバイス(化合物半導体素子)を基板となるシリコン・LSIチップ上に接合する場合について説明するが、半導体デバイスの種類及びLSIチップの種類に関係なく本発明を適用することができる。なお、本実施形態における「半導体基板」とは、半導体物質から成る物体をいうが、板形状の基板に限らず、どのような形状であっても半導体物質であれば「半導体基板」に含まれる。

【0058】

<第1工程>

20

図3は微小タイル状素子の製造方法の第1工程を示す概略断面図である。図3において、基板110は、半導体基板であり、例えばガリウム・ヒ素化合物半導体基板とする。基板110における最下位層には、犠牲層111を設けておく。犠牲層111は、アルミニウム・ヒ素(A1As)からなり、厚さが例えば数百μmの層である。

例えば、犠牲層111の上層には機能層112を設ける。機能層112の厚さは、例えば1μmから10(20)μm程度とする。そして、機能層112において半導体デバイス(半導体素子)113を作成する。半導体デバイス113としては、例えば発光ダイオード(LED)、面発光レーザ(VCSEL)、フォトダイオード(PD)、高電子移動度トランジスタ(HEMT)、ヘテロバイポラトランジスタ(HBT)などが挙げられる。これらの半導体デバイス113は、何れも基板110上に多層のエピタキシャル層を積層して素子が形成されたものである。また、各半導体デバイス113には、電極も形成し、動作テストも行う。

30

【0059】

<第2工程>

図4は微小タイル状素子の製造方法の第2工程を示す概略断面図である。本工程においては、各半導体デバイス113を分割するように分離溝121を形成する。分離溝121は、少なくとも犠牲層111に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さとともに、10μmから数百μmとする。また、分離溝121は、後述するところの選択エッチング液が当該分離溝121を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝121は、基盤のごとく格子状に形成することが好ましい。

40

また、分離溝121相互の間隔を数十μmから数百μmとすることで、分離溝121によって分割・形成される各半導体デバイス113のサイズを、数十μmから数百μm四方の面積をもつものとする。分離溝121の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはドライエッチングによる方法を用いる。また、クラックが基板に生じない範囲でU字形溝のダイシングで分離溝121を形成してもよい。

【0060】

<第3工程>

50

図5は微小タイル状素子の製造方法の第3工程を示す概略断面図である。本工程においては、中間転写フィルム131を基板110の表面(半導体デバイス113側)に貼り付ける。中間転写フィルム131は、表面に粘着剤が塗られたフレキシブルな帯形状のフィル

(13)

JP 2004-22901 A 2004.1.22

ムである。

【0061】

<第4工程>

図6は微小タイル状素子の製造方法の第4工程を示す概略断面図である。本工程においては、分離溝121に選択エッティング液141を注入する。本工程では、犠牲層111のみを選択的にエッティングするために、選択エッティング液141として、アルミニウム・ヒ素に対して選択性が高い低濃度の塩酸を用いる。

【0062】

<第5工程>

図7は微小タイル状素子の製造方法の第5工程を示す概略断面図である。本工程においては、第4工程での分離溝121への選択エッティング液141の注入後、所定時間の経過により、犠牲層111のすべてを選択的にエッティングして基板110から取り除く。

10

【0063】

<第6工程>

図8は微小タイル状素子の製造方法の第6工程を示す概略断面図である。第5工程で犠牲層111が全てエッティングされると、基板110から機能層112が切り離される。そして、本工程において、中間転写フィルム131を基板110から引き離すことにより、中間転写フィルム131に貼り付けられている機能層112を基板110から引き離す。これらにより、半導体デバイス113が形成された機能層112は、分離溝121の形成及び犠牲層111のエッティングによって分割されて、所定の形状（例えば、微小タイル形状）の半導体素子（上記実施形態の「微小タイル状素子」）とされ、中間転写フィルム131に貼り付け保持されることとなる。ここで、機能層の厚さが例えば1μmから20μm、大きさ（縦横）が例えば数十μmから数百μmであるのが好ましい。

20

【0064】

<第7工程>

図9は微小タイル状素子の製造方法の第7工程を示す概略断面図である。本工程においては、（微小タイル状素子161が貼り付けられた）中間転写フィルム131を移動させることで、最終基板171（集積回路チップ1、2、3）の所望の位置に微小タイル状素子161をアライメントする。ここで、最終基板171は、例えば、シリコン半導体からなり、LSI領域172が形成されている。また、最終基板171の所望の位置には、微小タイル状素子161を接着するための接着剤173を塗布しておく。接着剤は微小タイル状素子161に塗布してよいもよい。

30

【0065】

<第8工程>

図10は微小タイル状素子の製造方法の第8工程を示す概略断面図である。本工程においては、最終基板171の所望の位置にアライメントされた微小タイル状素子161を、中間転写フィルム131越しにコレット181で押しつけて最終基板171に接合する。ここで、所望の位置には接着剤173が塗布されているので、その最終基板171の所望の位置に微小タイル状素子161が接着される。

40

【0066】

<第9工程>

図11は微小タイル状素子の製造方法の第9工程を示す概略断面図である。本工程においては、中間転写フィルム131の粘着力を消失させて、微小タイル状素子161から中間転写フィルム131を剥がす。

中間転写フィルム131の粘着剤は、UV硬化性又は熱硬化性のものにしておく。UV硬化性の粘着剤とした場合は、コレット181を透明な材質にしておき、コレット181の先端から紫外線（UV）を照射することで中間転写フィルム131の粘着力を消失させる。熱硬化性の接着剤とした場合は、コレット181を加熱すればよい。あるいは第6工程の後で、中間転写フィルム131を全面紫外線照射するなどして粘着力を全面消失させておいてもよい。粘着力が消失したとはいえ実際には僅かに粘着性が残っており、微小タイ

50

(14)

JP 2004-22901 A 2004.1.22

ル状素子 161 は非常に薄く軽いので中間転写フィルム 131 に保持される。

【0067】

<第10工程>

本工程は、図示していない。本工程においては、加熱処理などを施して、微小タイル状素子 161 を最終基板 171 に本接合する。

【0068】

<第11工程>

図 12 は微小タイル状素子の製造方法の第 11 工程を示す概略断面図である。本工程においては、微小タイル状素子 161 の電極と最終基板 171 上の回路を配線 191 により電気的に繋ぎ、一つの LSI チップなど（光インターフェクション集積回路用の集積回路チップ）を完成させる。最終基板 171 としては、シリコン半導体のみならず、ガラス石英基板又はプラスチックフィルムを適用してもよい。10

【0069】

(応用例)

以下、本発明に係る光インターフェクション集積回路の応用例について説明する。

第 1 の応用例としては、上記実施形態の光インターフェクション集積回路をオプトエレクトロニクス集積回路の信号伝送手段として用いる。オプトエレクトロニクス集積回路としては、例えばコンピュータが挙げられる。そして、CPU を形成する集積回路内での信号処理は電気信号を用いて行うが、CPU と記憶手段などの間でデータを伝送するバスに上記実施形態の光インターフェクション集積回路を適用する。20

【0070】

これらにより、本応用例によれば、コンピュータの処理速度のボトルネックとなっているバスにおける信号伝達速度を従来よりも大幅に高めることができることが可能となる。

また、本応用例によれば、コンピュータなどを大幅に小型化することが可能となる。

【0071】

第 2 の応用例としては、電気光学装置である液晶ディスプレイ、プラズマディスプレイ又は有機EL（エレクトロ・ルミネッセンス）ディスプレイに上記実施形態の光インターフェクション集積回路を用いる。

これらにより、本応用例によれば、高速に表示信号などを送受信することができるので、高速に表示状態を変更することができる電気光学装置を提供することができる。30

【0072】

(電子機器)

上記実施形態の光インターフェクション集積回路を備えた電子機器の例について説明する。

図 13 は、携帯電話の一例を示した斜視図である。図 13 において、符号 1000 は上記の光インターフェクション集積回路を用いた携帯電話本体を示し、符号 1001 は上記の電気光学装置を用いた表示部を示している。

【0073】

図 14 は、腕時計型電子機器の一例を示した斜視図である。図 14 において、符号 1100 は上記の光インターフェクション集積回路を用いた時計本体を示し、符号 1101 は上記の電気光学装置を用いた表示部を示している。40

【0074】

図 15 は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図 15 において、符号 1200 は情報処理装置、符号 1202 はキーボードなどの入力部、符号 1204 は上記の光インターフェクション集積回路を用いた情報処理装置本体、符号 1206 は上記の電気光学装置を用いた表示部を示している。

【0075】

図 13 から図 15 に示す電子機器は、上記実施形態の光インターフェクション集積回路又は電気光学装置を備えているので、表示品位に優れ、特に、高速応答で明るい画面の表示部を備えた電子機器を実現することができる。また、上記実施形態の光インターフェクシ50

(15)

JP 2004-22901 A 2004.1.22

ヨン集積回路を用いることによって、従来のものよりも電子機器を小型化することができる。さらにまた、上記実施形態の光インターフェクション集積回路を用いることによって、製造コストを従来のものよりも低減することができる。

【0076】

なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

【0077】

例えば、上記実施形態では、発光素子として面発光レーザを用いたが、発光素子として端面発光レーザ又はフォトダイオードを適用することも可能である。

10

【0078】

また、上記実施形態においては、集積回路チップを3枚重ね合わせた例を挙げたが、本発明はこれに限定されるものではなく、集積回路チップを2枚又は4枚以上重ね合わせたものでもよい。

【0079】

【発明の効果】

以上の説明で明らかかなように、本発明によれば、微小タイル状素子の発光素子又は受光素子を各集積回路チップに設けた構成を有するので、集積回路チップ間の信号伝送速度を高速化することができる。

【図面の簡単な説明】

20

【図1】本発明の実施形態に係る光インターフェクション集積回路の概略断面図である。

【図2】光インターフェクション集積回路の動作を説明するための概要断面図である。

【図3】微小タイル状素子の製造方法の第1工程を示す概略断面図である。

【図4】同上の製造方法の第2工程を示す概略断面図である。

【図5】同上の製造方法の第3工程を示す概略断面図である。

【図6】同上の製造方法の第4工程を示す概略断面図である。

【図7】同上の製造方法の第5工程を示す概略断面図である。

【図8】同上の製造方法の第6工程を示す概略断面図である。

【図9】同上の製造方法の第7工程を示す概略断面図である。

【図10】同上の製造方法の第8工程を示す概略断面図である。

30

【図11】同上の製造方法の第9工程を示す概略断面図である。

【図12】同上の製造方法の第11工程を示す概略断面図である。

【図13】本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図14】本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【図15】本実施形態の電気光学装置を備えた電子機器の一例を示す図である。

【符号の説明】

1、2、3、10、20

集積回路チップ

11、21

集積回路領域

30

接着剤

PD1、PD1'、PD2、PD2'

フォトディテクタ

40

PD3、PD3'、PD4、PD4'

フォトディテクタ

PD10、PD20

フォトディテクタ

VC1、VC2、VC3、VC4

面発光レーザ

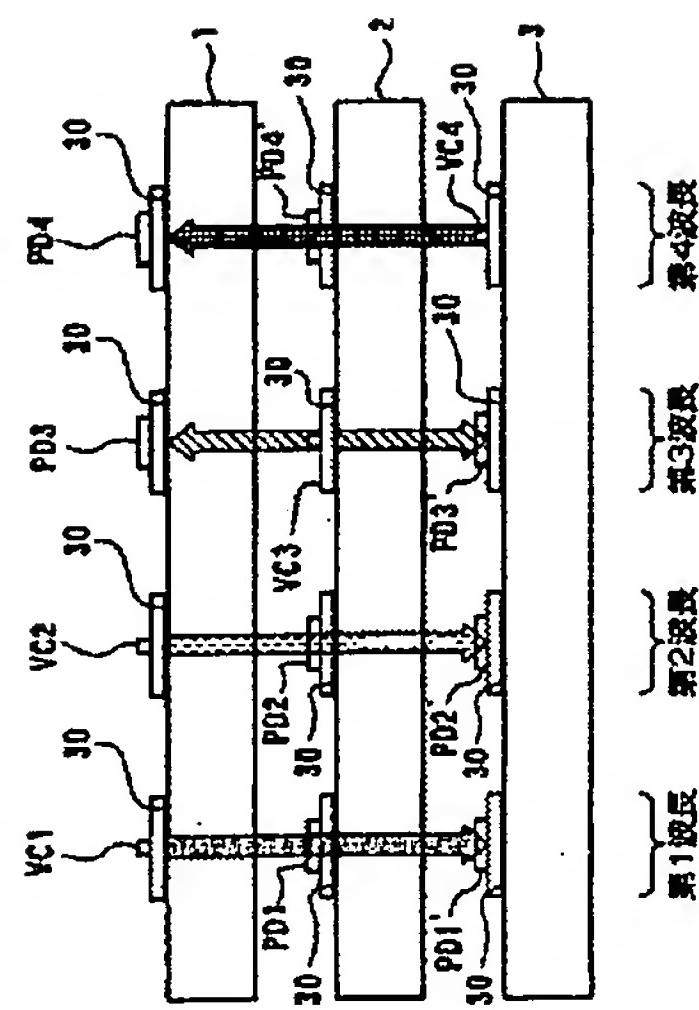
VC10、VC20

面発光レーザ

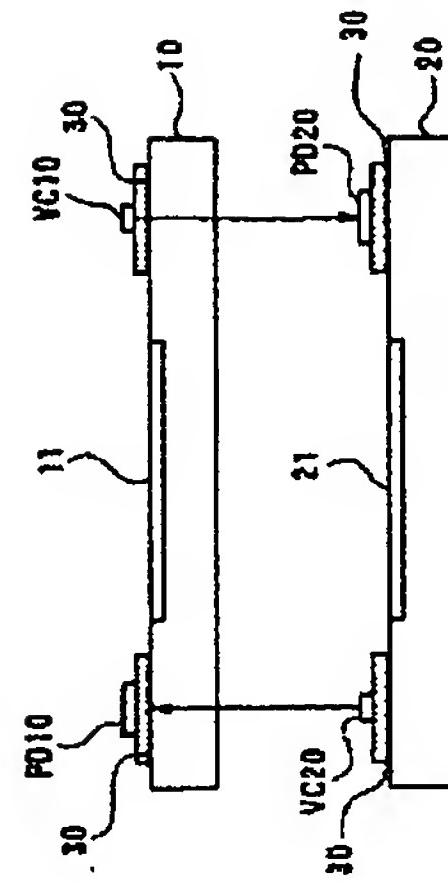
(16)

JP 2004-22901 A 2004.1.22

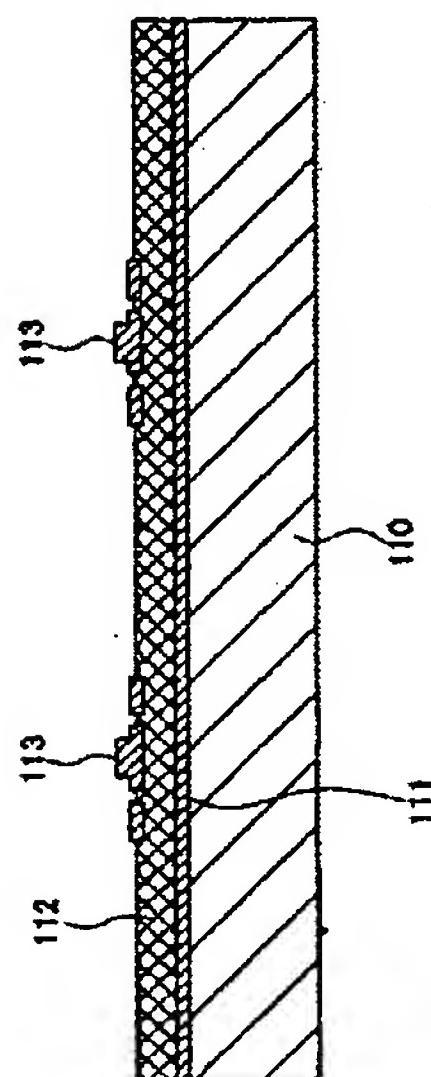
【図1】



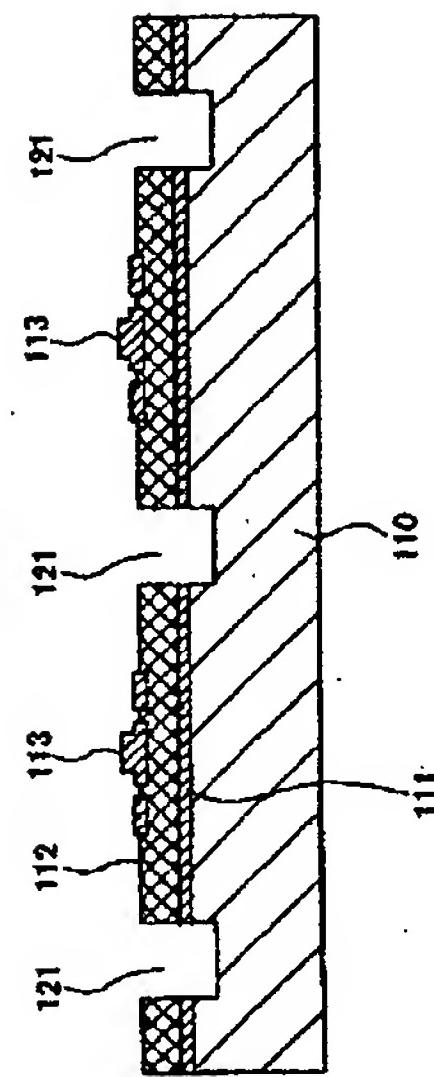
【図2】



【図3】



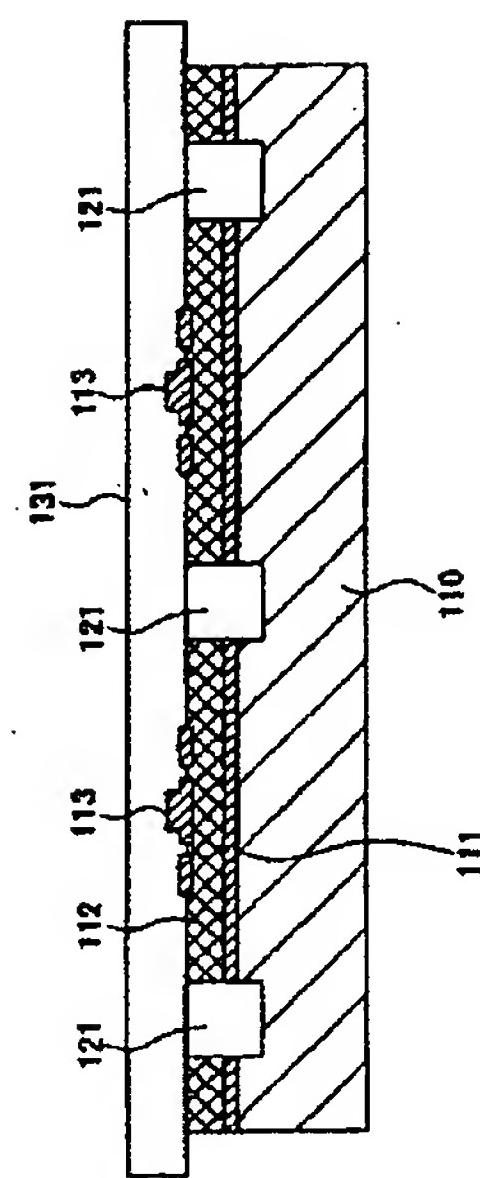
【図4】



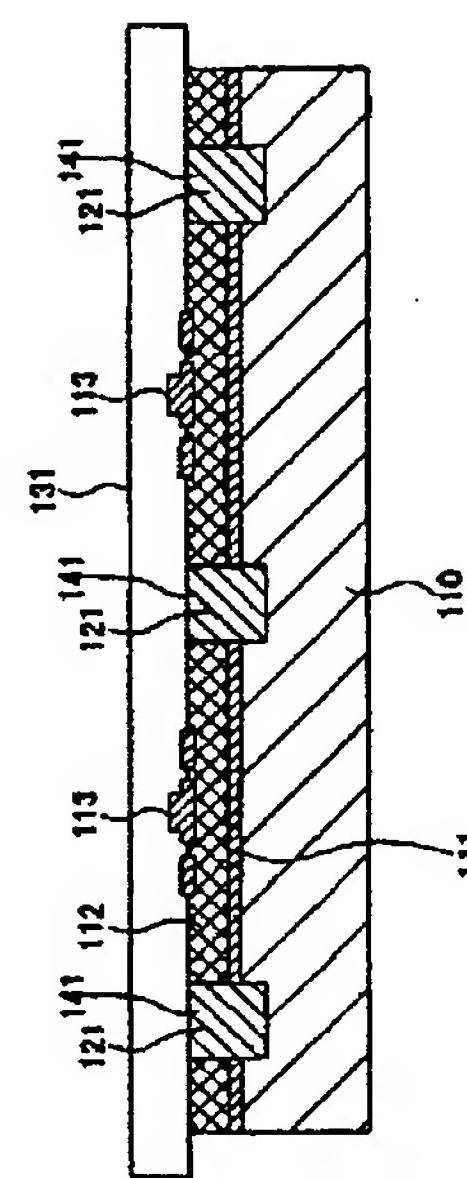
(17)

JP 2004-22901 A 2004.1.22

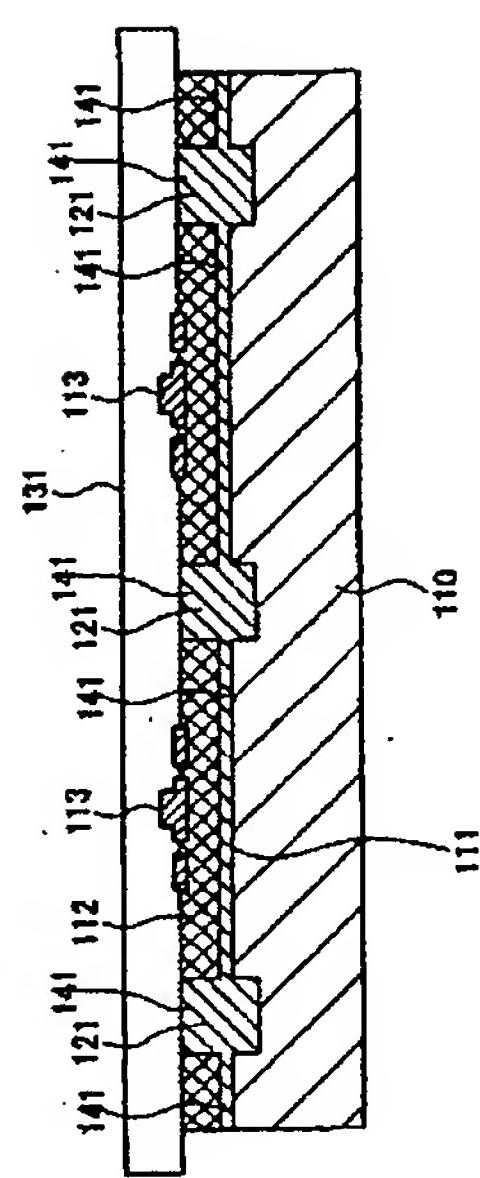
【図 5】



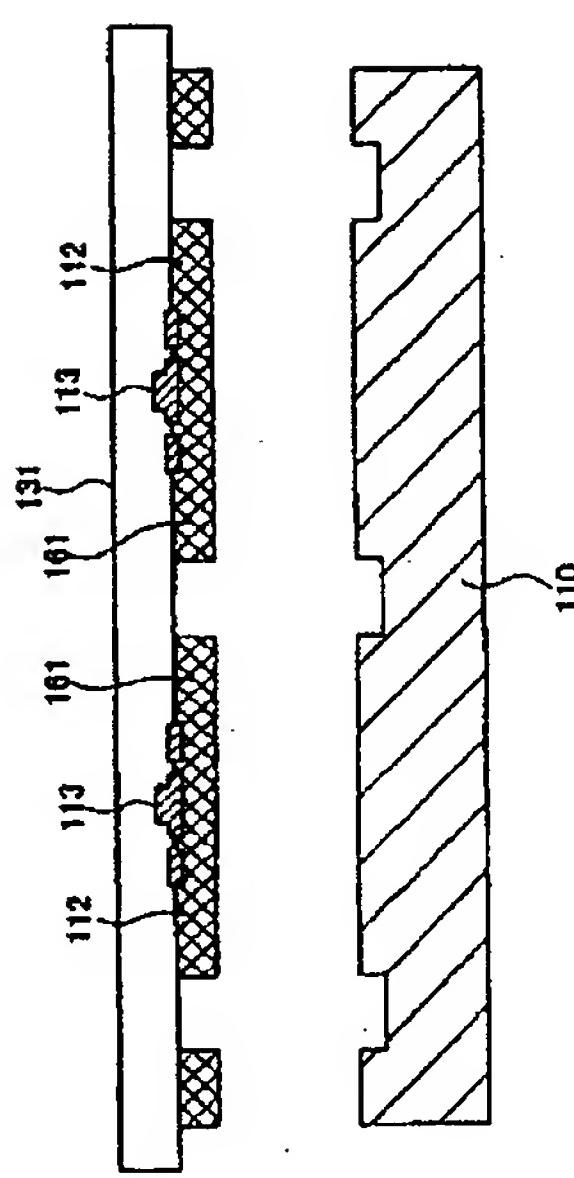
【図 6】



【図 7】



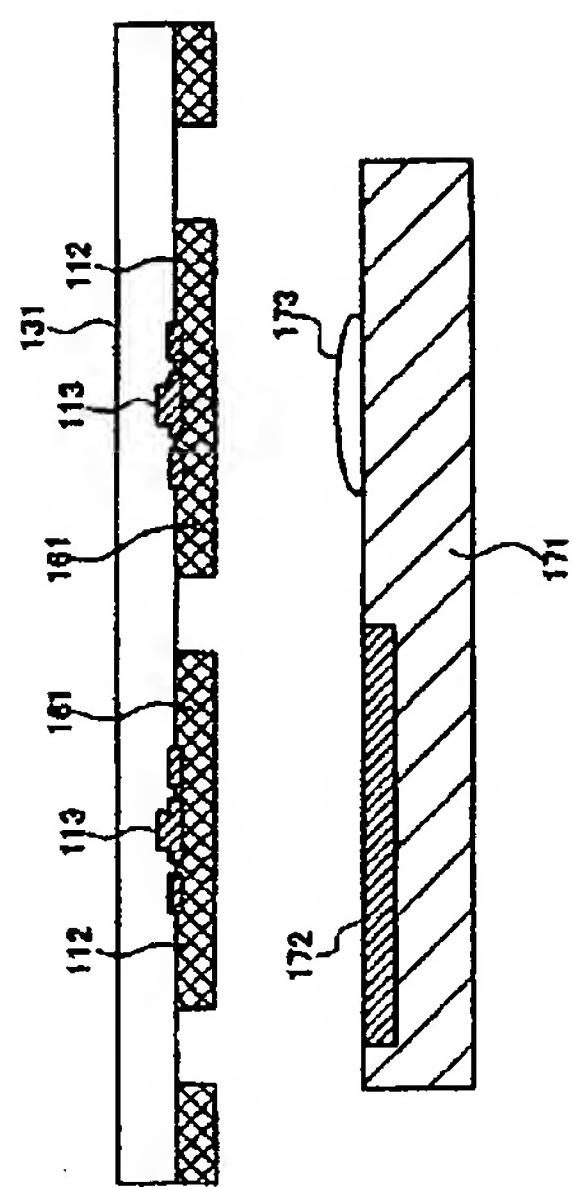
【図 8】



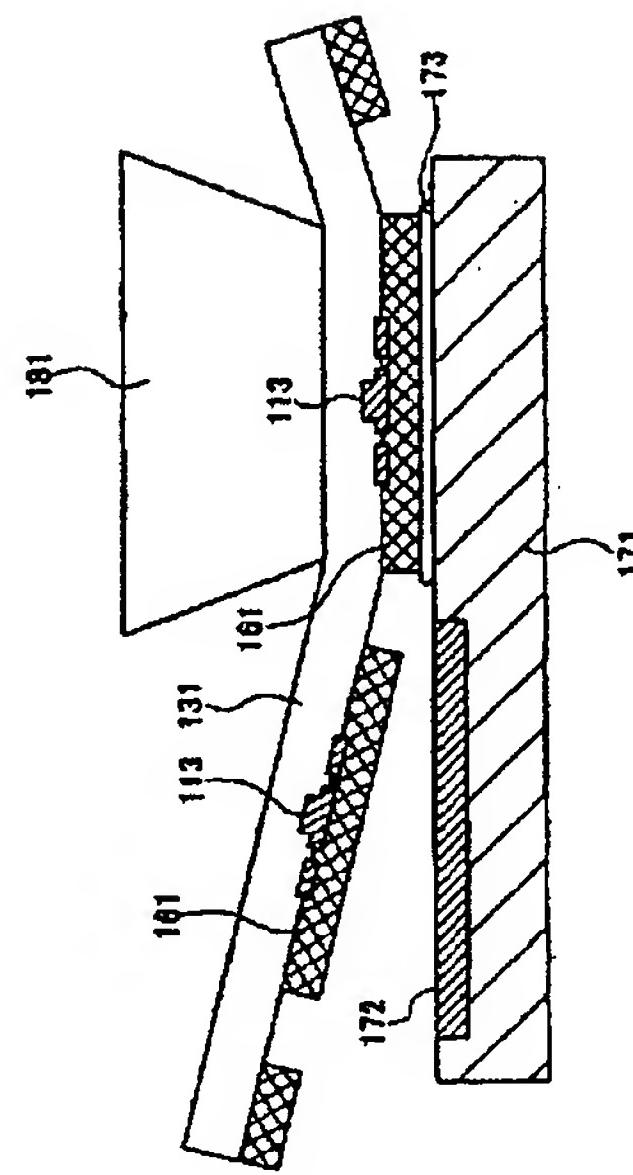
(18)

JP 2004-22901 A 2004.1.22

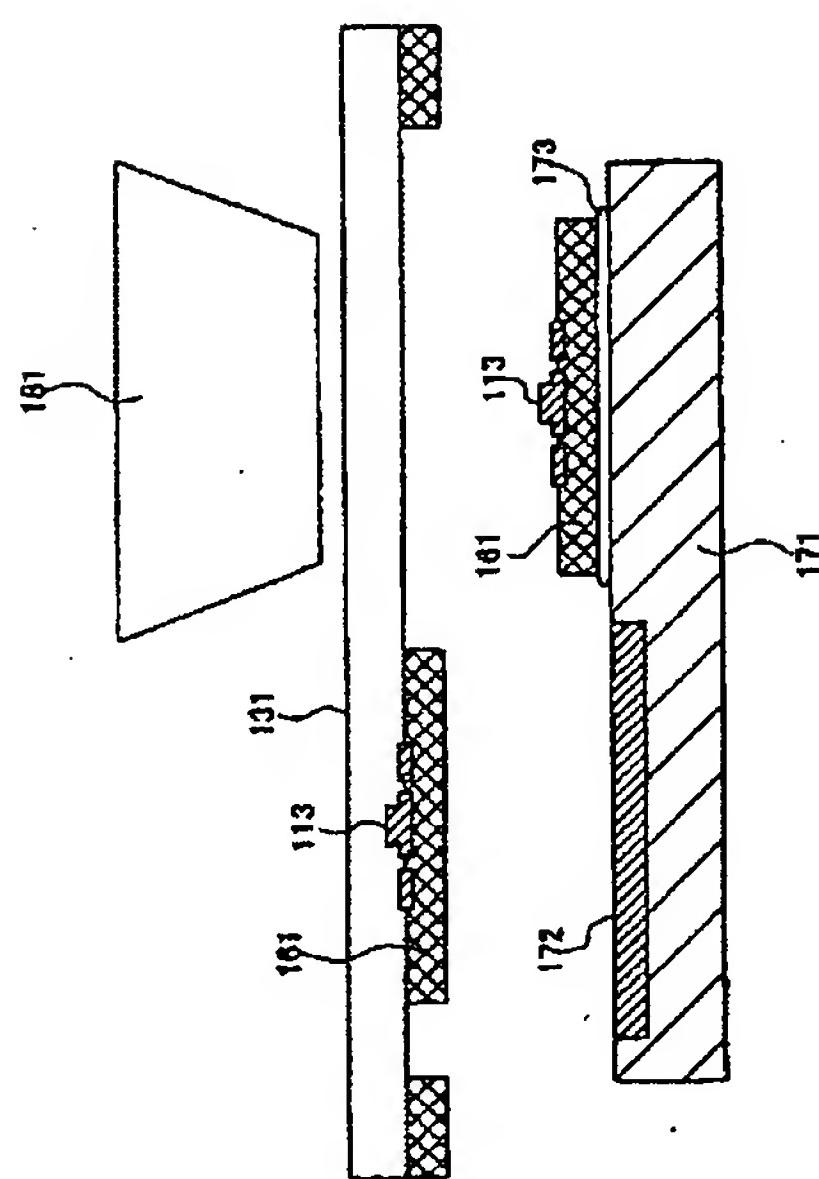
【図9】



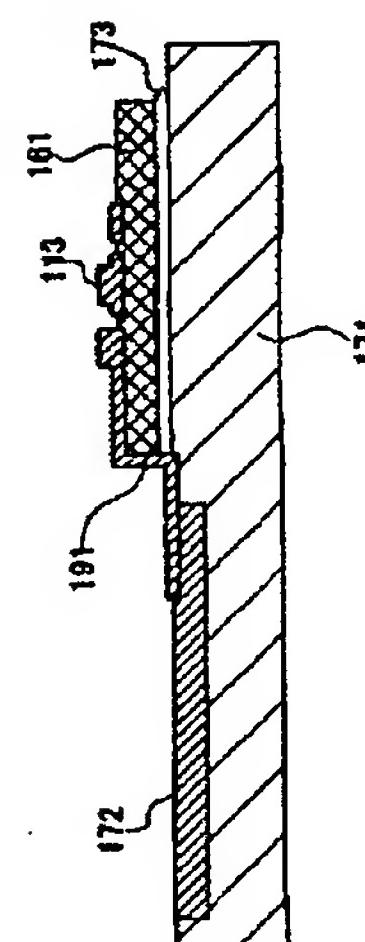
【図10】



【図11】



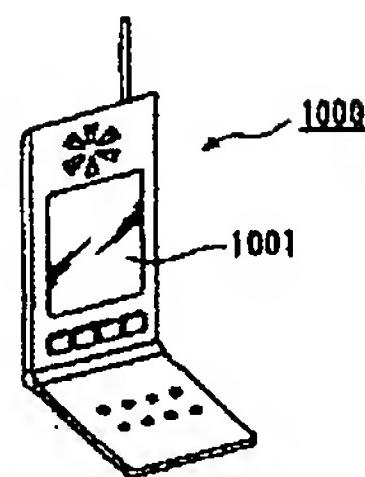
【図12】



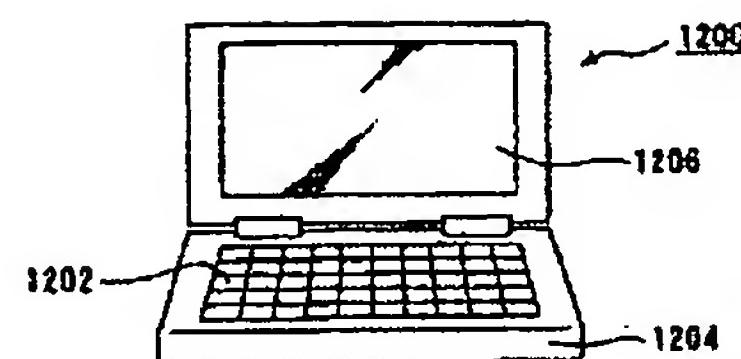
(19)

JP 2004-22901 A 2004.1.22

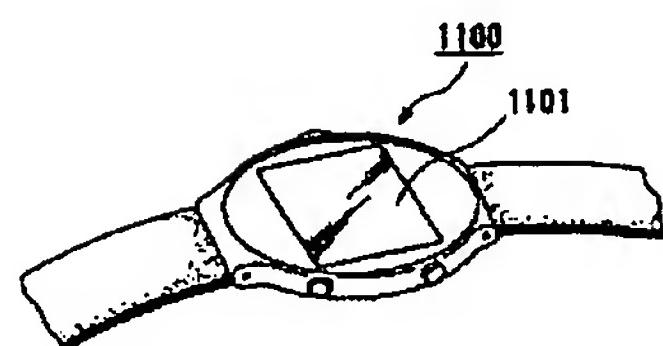
【図13】



【図15】



【図14】



【手続補正書】

【提出日】平成15年9月29日(2003.9.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の集積回路チップと、前記第1の集積回路チップの上方又は下方に配置された第2の集積回路チップと、前記第1の集積回路チップに接着された第1のタイル状素子と、前記第2の集積回路チップに接着された第2のタイル状素子と、前記第1のタイル状素子の上に配置された第1の発光素子と、前記第2のタイル状素子の上に配置された第1の受光素子と、を含むことを特徴とする光
インターフェクション集積回路。

【請求項2】

前記受光素子は、前記発光素子から出射された光信号を受信することを特徴とする請求項
1記載の光インターフェクション集積回路。

【請求項3】

前記第1の集積回路チップと前記第2の集積回路チップの一方に接着された第3のタイル
状素子と、前記第1の集積回路チップと前記第2の回路チップの他方に接着された第4のタイル状素
子と、

前記第3のタイル状素子の上に配置された第2の発光素子と、

(20)

JP 2004-22901 A 2004.1.22

前記第4のタイル状素子の上に配置された第2の受光素子と、を含み、
前記第1の発光素子と前記第1の受光素子は、第1の信号送受信手段をなし、
前記第2の発光素子と前記第2の受光素子は、第2の信号送受信手段をなすことを特徴とする請求項1記載の光インターフェクション集積回路。

【請求項4】

前記第4のタイル状素子は、前記第1の集積回路チップに接着され、
前記第3のタイル状素子は、前記第2の集積回路チップに接着されていることを特徴とする請求項3記載の光インターフェクション集積回路。

【請求項5】

前記第1の発光素子の発光中心軸と前記第1の受光素子の受光中心軸とが略同一直線上に位置し、
前記第2の発光素子の発光中心軸と前記第2の受光素子の受光中心軸とが略同一直線上に位置すること特徴とする請求項3記載の光インターフェクション集積回路。

【請求項6】

前記第1の発光素子の出射光と、前記第2の発光素子の出射光とは、波長が異なることを特徴とする請求項3乃至5記載のいずれか一項に記載の光インターフェクション集積回路。

【請求項7】

前記第1および第2の発光素子は、面発光レーザであることを特徴とする請求項1乃至6のいずれか一項に記載の光インターフェクション集積回路。

【請求項8】

前記第1および第2の受光素子は、波長選択性を有することを特徴とする請求項1乃至7のいずれか一項に記載の光インターフェクション集積回路。

【請求項9】

前記第1および第2の発光素子は、波長が1.1マイクロメートル以上の光を出射することを特徴とする請求項1乃至8のいずれか一項に記載の光インターフェクション集積回路。

【請求項10】

前記第1の集積回路チップと前記第2の集積回路チップとの間に第3の集積回路チップが位置し、

前記第1の発光素子から出射された光信号は、前記第3の集積回路チップを透過して前記第1の受光素子に入射されることを特徴とする請求項5記載の光インターフェクション集積回路。

【請求項11】

前記第1の集積回路チップと前記第2の集積回路チップとは接着剤を介して重ねて貼りつけられていることを特徴とする請求項1乃至9のいずれか一項に記載の光インターフェクション集積回路。

【請求項12】

前記発光素子の一方面又は前記受光素子の一方面是、非透明部材で覆われていることを特徴とする請求項1乃至11のいずれか一項に記載の光インターフェクション。

【請求項13】

少なくとも2つの集積回路チップそれぞれの所望位置に、少なくとも1つの発光素子又は受光素子をなす微小タイル状素子を透明接着剤で接着し、

1つの前記集積回路チップに接着された微小タイル状素子の発光素子から出射された光が、他の少なくとも1つの前記集積回路チップに接着された微小タイル状素子の受光素子に検出されるように、前記少なくとも2つの集積回路チップを透明接着剤で接着して積層することを特徴とする光インターフェクション集積回路の製造方法。

【請求項14】

前記微小タイル状素子は、半導体基板に前記発光素子又は受光素子をなす半導体素子を形成し、該半導体基板における半導体素子が形成された面側にフィルムを貼り付け、該半導体基板における半導体素子を含む機能層を該半導体基板から切り離すことで形成すること

(21)

JP 2004-22901 A 2004.1.22

特徴とする請求項1_3記載の光インターフェクション集積回路の製造方法。

【請求項15】

前記集積回路チップへの微小タイル状素子の接着においては、前記透明接着剤を液滴吐出方式で塗布することを特徴とする請求項1_3又は1_4記載の光インターフェクション集積回路の製造方法。

【請求項16】

前記少なくとも2つの集積回路チップの接着においては、前記透明接着剤を液滴吐出方式で塗布すること特徴とする請求項1_3乃至1_5のいずれか一項に記載の光インターフェクション集積回路の製造方法。

【請求項17】

請求項1乃至1_2のいずれか一項に記載の光インターフェクション集積回路を備えたことを特徴とする電気光学装置。

【請求項18】

請求項1乃至1_2のいずれか一項に記載の光インターフェクション集積回路を備えたことを特徴とする電子機器。